



2800

500.41080X00

2817

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): MORIYA, et al
Serial No.: 10 / 043,099
Filed: JANUARY 14, 2002
Title: SEMICONDUCTOR DEVICE AND ITS PRODUCTION PROCESS.

#3 / Priority
paper
5/13/02
/15

LETTER CLAIMING RIGHT OF PRIORITY

Assistant Commissioner for
Patents
Washington, D.C. 20231

JANUARY 30, 2002

Sir:

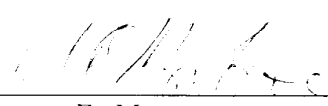
Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s)
the right of priority based on:

Japanese Patent Application No. 2001-008306 Filed: January 16, 2001
Japanese Patent Application No. 2001-041097 Filed: February 19, 2001

A certified copy of each Japanese Patent Application is attached.

Respectfully submitted,

ANTONELLI TERRY STOUT & KRAUS LLP



Gregory E. Montone
Registration No. 28,141

GEM/rp
Attachment



日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年 1月16日

出願番号
Application Number:

特願2001-008306

[ST.10/C]:

[JP2001-008306]

出願人
Applicant(s):

株式会社日立製作所

2002年 1月18日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造

出証番号 出証特2001-3117487

【書類名】 特許願

【整理番号】 JP3430

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明者】

【住所又は居所】 茨城県土浦市神立町 5 0 2 番地
株式会社 日立製作所 機械研究所内

【氏名】 守谷 浩志

【発明者】

【住所又は居所】 茨城県土浦市神立町 5 0 2 番地
株式会社 日立製作所 機械研究所内

【氏名】 岩▲崎▼ 富生

【発明者】

【住所又は居所】 茨城県土浦市神立町 5 0 2 番地
株式会社 日立製作所 機械研究所内

【氏名】 三浦 英生

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号
株式会社 日立製作所 半導体グループ内

【氏名】 池田 修二

【識別番号】 000005108

【氏名又は名称】 株式会社 日立製作所

【代理人】

【識別番号】 100077816

【弁理士】

【氏名又は名称】 春日 譲

【手数料の表示】

【予納台帳番号】 009209

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

半導体基板とゲート電極との間に介在する酸化チタンゲート絶縁膜を有するMOSトランジスタが形成された半導体装置において、

上記酸化チタンの主結晶構造がアナターゼ型であるとともに、

上記半導体基板のチャンネル領域のひずみ状態が引張ひずみ状態になっていることを特徴とする半導体装置。

【請求項 2】

請求項 1 記載の半導体装置において、

上記半導体基板と上記酸化チタンゲート絶縁膜との間に、シリコン酸化膜またはチタンシリケート膜を備えることを特徴とする半導体装置。

【請求項 3】

請求項 1 若しくは請求項 2 のいずれかに記載の半導体装置において、

上記ゲート電極がリンあるいはボロンを添加した多結晶シリコン膜を有し、上記ゲート電極と上記酸化チタンゲート絶縁膜との間に、シリコン酸化膜またはチタンシリケート膜を備えることを特徴とする半導体装置。

【請求項 4】

請求項 1 若しくは請求項 2 のいずれかに記載の半導体装置において、

ウ化タングステン膜、タングステンシリサイド膜のいずれかあるいはそれらの積層構造を有することを特徴とする半導体装置。

【請求項 5】

請求項 1 若しくは請求項 2 のいずれかに記載の半導体装置において、

上記ゲート電極が、酸化ルテニウム膜を有し、酸化ルテニウム膜と上記酸化チタン絶縁膜とが接している構造であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に係り、特に、高速および低電力に好適なゲート絶縁膜を用いる半導体装置に関する。

【0002】

【従来の技術】

近年、半導体装置の高速化および低電力化の要求がますます高まっている。半導体装置の高速化を実現するために、素子構造の微細化が進められ、また電界効果トランジスタにおいてはストレイン効果を利用することが提案されている。ストレイン効果とは、半導体が応力を受けた場合、エネルギーバンドがひずみ、キャリアの有効質量が変化するものである。そして、有効質量を小さくすることができれば、半導体装置は高速化されることとなる。

【0003】

半導体装置の低電力化においては、ゲート絶縁膜を流れるリーク電流を低減させることが考えられ、8.0 eVものの大きなバンドギャップを有し、優れた絶縁性を有する酸化シリコン膜がゲート絶縁膜に多用されてきた。

【0004】

しかしながら、近年、半導体装置の微細化に伴い、ゲート絶縁膜の薄膜化が要求され、3.0 nm以下の酸化膜が使われるようになってきた。絶縁膜の厚さが3.0 nm以下まで薄くなるとトンネル電流が無視できないほど大きくなり、リーク電流が増え、低電力化が難しくなる。そこで、酸化シリコンに酸化シリコンより誘電率の高い酸化チタンを用いることにより、誘電特性を保ちつつ、ゲート絶縁膜の膜厚を厚くし、トンネル電流の増加を抑えることが考えられている。例えば、酸化チタンと酸化シリコンの比誘電率をそれぞれ60、4.0とした場合、膜厚30 nmの酸化チタン薄膜は、2 nmの酸化シリコンと同等の誘電特性もつことになる。上述の膜厚30 nmの酸化チタン薄膜は、酸化シリコン換算膜厚で2 nmと呼ばれる。これに対し、実際の膜厚30 nmは、物理膜厚と呼ばれる。

【0005】

酸化チタンは、その製造方法により、ルチル型とアナターゼ型の2種類の結晶構造をとることが知られている。例えば、IBM Journal of Research and Development VOL.43, NO.3, 385ページのTable 1には、化学的気層成長(Chemical Vapor deposition:CVD)法により、成膜温度が465℃以下ではアナターゼ型が、550℃、620℃ではアナターゼ型とルチル型が混在した構造が、660℃以上ではルチル型をとると記載されている。また、アナターゼ型酸化チタンは、アニールによりルチル型に変化することも記載されている。すなわち、ルチル型酸化チタンがアナターゼ型酸化チタンに比べ熱的に安定であるため、従来のゲート絶縁膜としては、ルチル型酸化チタンを用いることが提案されている。

【0006】

【発明が解決しようとする課題】

しかし、従来の半導体装置において、高速化と低電力化を両立させようとすると、チャンネル層に引張りひずみを与え、さらにルチル型酸化チタンをゲート絶縁膜として使用する構成とする必要があるが、このような構成では、チャンネル層に引張りひずみを与えることにより、ゲート絶縁膜を流れるリーク電流が増加して、結果として、消費電力が大きくなるという問題があった。

【0007】

本発明者らは、この問題について鋭意研究を行ったところ、ルチル型酸化チタンゲート絶縁膜を流れるリーク電流密度が、チャンネル層に引張りひずみを与えることによって増加するというメカニズムを見出した。そのメカニズムとは、チャンネル層に引張りひずみを与えることにより、ルチル型酸化チタン膜のバンドギャップが減少し、トンネリング確率が増加し、リーク電流が増加したというものである。

【0008】

本発明の目的は、高速で低電力な半導体装置を提供することにある。

【0009】

【課題を解決するための手段】

(1) 上記目的を達成するために、本発明は、半導体基板とゲート電極との間に介在する酸化チタンゲート絶縁膜を有するMOSトランジスタが形成された半導

体装置において、上記酸化チタンの主結晶構造がアナターゼ型であるとともに、上記半導体基板のチャンネル領域のひずみ状態が引張ひずみ状態となるようにしたものである。

【0010】

以上の構成により、酸化チタンゲート絶縁膜の主結晶構造をアナターゼ型とすることにより、ゲート絶縁膜のバンドギャップがルチル型を用いるより大きくすることができ、また、引張りひずみがゲート絶縁膜に加わってもアナターゼ型のバンドギャップの方がルチル型のバンドギャップより大きいいため、トンネル電流の引張りひずみによる増大を抑制することができ、リーク電流を低減して、半導体装置を高速で低電力なものとなし得るものとなる。

【0011】

(2) 上記(1)において、好ましくは、上記半導体基板と上記酸化チタンゲート絶縁膜との間に、シリコン酸化膜またはチタンシリケート膜を備えるようにしたものである。

【0012】

(3) 上記(1)若しくは(2)のいずれかにおいて、好ましくは、上記ゲート電極がリンあるいはボロンを添加した多結晶シリコン膜を有し、上記ゲート電極と上記酸化チタンゲート絶縁膜との間に、シリコン酸化膜またはチタンシリケート膜を備えるようにしたものである。

【0013】

電極が、タングステン膜、モリブデン膜、窒化タングステン膜、ホウ化タングステン膜、タングステンシリサイド膜のいずれかあるいはそれらの積層構造を有するようにしたものである。

【0014】

(5) 上記(1)若しくは(2)のいずれかにおいて、好ましくは、上記ゲート電極が、酸化ルテニウム膜を有し、酸化ルテニウム膜と上記酸化チタン絶縁膜とが接している構造としたものである。

【0015】

【発明の実施の形態】

以下、図1～図11を用いて、本発明の第1の実施形態による半導体装置の構成及び製造方法について説明する。

最初に、図1及び図2を用いて、本実施形態による半導体装置の構成について説明する。

図1は、本発明の第1の実施形態による半導体装置の主要部分の断面構成を示す断面図であり、図2のA-A'断面図である。図2は、本発明の第1の実施形態による半導体装置の主要部分の平面レイアウト図である。

【0016】

図1に示すように、本実施形態による半導体装置は、P型シリコン基板101の表面に、例えばシリコン酸化膜からなる素子分離膜102が設けられ、素子形成領域103が形成されている。素子形成領域103には、NチャネルMOSトランジスタが設けられている。

【0017】

MOSトランジスタは、ゲート絶縁膜104aと、ゲート電極105aとを有している。ゲート電極105aの側面には、例えば窒化シリコンからなるサイドウォール106aが形成されている。ゲート絶縁膜104aの主構成材料は、結晶構造がアナターゼ構造の酸化チタンである。ゲート電極105aは、例えば、多結晶シリコン膜や金属薄膜、あるいは金属シリサイド膜あるいはこれらの積層構造である。

ソース・ドレイン拡散層107aを有し、素子分離層102並びにゲート電極105aに自己整合的に形成されたN⁺型ソース・ドレイン拡散層108を有している。

【0018】

MOSトランジスタの表面には、引張応力を有する膜20が形成されている。この引張応力を有する膜20は、例えば、窒化シリコンである。膜20によりシリコン基板のチャンネル領域10が引張ひずみ状態となり、キャリアの有効質量が小さくなり、デバイスが高速化される。また、引張応力の膜20により、ゲート

絶縁膜も引張りひずみ状態となる。

【0019】

この半導体装置の表面には、層間絶縁膜109が形成されている。層間絶縁膜109には、 N^+ 型ソース・ドレイン拡散層108に達するコンタクトホール110が設けられている。

【0020】

アナターゼ型酸化チタンゲート絶縁膜104aの膜厚は、例えば30nmである。アナターゼ型酸化チタンと酸化シリコンの比誘電率をそれぞれ60、4.0とした場合、ゲート絶縁膜104aの膜厚は、同等の誘電特性をもつ酸化シリコンの膜厚に換算して2nmとなる。すなわち、物理膜厚は30nm、換算膜厚は2nmである。

【0021】

このように、本実施形態による半導体装置は、ゲート絶縁膜104aが高誘電材料であるアナターゼ型酸化チタンで構成されているので、ゲート絶縁膜104aが酸化シリコンの場合に比べて、ゲート絶縁膜aの物理膜厚を厚くすることができ、DT電流が流れるのを防ぐことができる。

【0022】

また、酸化チタンゲート絶縁膜の主結晶構造がアナターゼ型を用いており、ゲート絶縁膜のバンドギャップがルチル型を用いるより大きくすることができる。また、引張りひずみがゲート絶縁膜に加わってもアナターゼ型のバンドギャップトンネル電流の増大を抑制することができる。

【0023】

ここで、図3～図5を用いて、本実施形態による半導体装置に用いるアナターゼ型酸化チタンの引張りひずみ依存性について、ルチル型酸化チタンの特性と比較して説明する。

最初に、図3を用いて、酸化チタンのバンドギャップの引張りひずみ依存性について説明する。

図3は、酸化チタンのバンドギャップの引張りひずみ依存性の説明図である。

図において、横軸は引張りひずみ ε (%) を示し、縦軸はバンドギャップ E_g (eV) を示している。また、図中、実線Aはアナターゼ型を示しており、実線Rはルチル型を示している。

【0024】

図3から理解されるように、ルチル型酸化チタンRのバンドギャップ $E_g^R(\varepsilon)$ と、アナターゼ型酸化チタンAのバンドギャップ $E_g^A(\varepsilon)$ は、ひずみが増加するに従い共に減少するが、アナターゼ型酸化チタンAのバンドギャップ $E_g^A(\varepsilon)$ は、ルチル型酸化チタンRのバンドギャップ $E_g^R(\varepsilon)$ より小さくなることはないものである。

【0025】

図3に示したバンドギャップのひずみ依存性は、第一原理バンド計算により求めたものである。第一原理バンド計算とは、例えば、「固体—構造と物性」岩波講座現代の物理学7（岩波書店、1994年発行）に記述されているように、固体内の電子についてのシュレーディンガー方程式を解き、電子のエネルギーバンドを計算する手法である。

【0026】

バンドギャップとは、電子によって占有されたエネルギーレベル（価電子バンド）の上端と、電子によって占有されていないエネルギーレベル（伝導帯バンド）の下端とのエネルギー差である。このバンドギャップが大きいものほど絶縁性が高く、電流が流れ難いといえる。また、密度汎関数理論によれば、通常、バン

実験結果をもとに、バンドギャップ値の補正を行なっている。

【0027】

次に、図4を用いて、酸化チタンの仕事関数の引張りひずみ依存性について説明する。

図4は、酸化チタンの仕事関数の引張りひずみ依存性の説明図である。図において、横軸は引張りひずみ ε (%) を示し、縦軸はバンドギャップ E_g (eV) を示している。なお、正のひずみは引張りひずみを表し、負のひずみは圧縮ひずみを表している。また、図中、実線Aはアナターゼ型を示しており、実線Rはル

チル型を示している。

【0028】

ここで、仕事関数 $\Phi_B(\epsilon)$ は、図3に示したバンドギャップ E_g に比例するとし、ルチル型の仕事関数 $\Phi_B^R(\epsilon)$ については以下の式(1)を用い、アナターゼ型の仕事関数 $\Phi_B^A(\epsilon)$ については以下の式(2)を用いて算出した。

【0029】

$$\Phi_B^R(\epsilon) = \Phi_B^R(\epsilon=0) \times E_g^R(\epsilon) / E_g^R(\epsilon=0) \dots (1)$$

$$\Phi_B^A(\epsilon) = \Phi_B^R(\epsilon=0) \times E_g^A(\epsilon) / E_g^R(\epsilon=0) \dots (2)$$

なお、ここで、 $\Phi_B^R(\epsilon=0)$ は無ひずみ ($\epsilon=0$) の場合のルチル型の仕事関数であり、 $\Phi_B^R(\epsilon=0) = 1.0 \text{ eV}$ とした。この値は、実験で得られているバルクのルチル型酸化チタンの仕事関数である。

【0030】

図4に示したように、ルチル型酸化チタンの仕事関数 $\Phi_B^R(\epsilon)$ とアナターゼ型酸化チタンの仕事関数 $\Phi_B^A(\epsilon)$ は、ひずみが増加するに従い共に減少するが、ルチル型酸化チタンの仕事関数 $\Phi_B^R(\epsilon)$ は、アナターゼ型酸化チタンの仕事関数 $\Phi_B^A(\epsilon)$ より小さくなることはないものである。

【0031】

いて説明する。

図5は、酸化チタンの仕事関数のリーク電流密度の引張りひずみ依存性の説明図である。図において、横軸は引張りひずみ ϵ (%) を示し、縦軸はリーク電流密度 (A/cm^2) を示している。なお、正のひずみは引張りひずみを表し、負のひずみは圧縮ひずみを表している。また、図中、実線Aはアナターゼ型を示しており、実線Rはルチル型を示している。

【0032】

図5に示したリーク電流密度のひずみ依存性は、図4で得られた仕事関数のひ

ずみ依存性から、例えば、IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL.46, NO. 2, 354ページに記述されているように、WKB (Wentzel - Kramers - Brillouin) 近似を用いて絶縁膜を電子がトンネリングする確率とひずみとの関係から導出したものである。

【0033】

図5は、印可電圧は1Vで、膜厚は酸化シリコン換算で2.0nmの場合の結果である。図5中の横軸の酸化シリコン換算膜厚とは、酸化シリコンと同じ誘電特性が得られる膜厚を示しており、酸化シリコンとルチル型酸化チタンの誘電率をそれぞれ4.0、60とすれば、酸化シリコン換算膜厚2.0nmの酸化チタンの膜厚は $2.0\text{nm} \times 60 / 4.0 = 30.0\text{nm}$ となる。

【0034】

図5から、ルチル型酸化チタンとアナターゼ型酸化チタンのリーク電流密度は、ひずみの増加に対して共に単調増加するが、ひずみが加わってもアナターゼ型の方がルチル型よりリーク電流密度が小さいことがわかる。すなわち、チャンネル層に引張りひずみを与えたために、ゲート絶縁膜に引張りひずみが加わっても、ゲート絶縁膜にアナターゼ型チタン酸化膜を用いることにより、ルチル型を用いた場合に比べリーク電流の増加を抑制することができる。従って、消費電力を小さくすることができる。

【0035】

次に、図6～図11を用いて、本実施形態による半導体装置の製造方法について

図6～図11は、本発明の第1の実施形態による半導体装置の製造方法を示す工程図である。

【0036】

図6に示すように、P型シリコン基板101表面に、深さ200nmから300nmの溝を形成し、シリコン酸化膜を埋め込み、浅溝型の素子分離層102を形成する。

【0037】

次に、図7に示すように、シリコン基板101表面に、例えば化学的気層成長

(Chemical Vapor deposition:CVD) 法により、厚さ 30 nm ほどのアナターゼ型酸化チタン膜 104 を形成する。この際、成膜温度は 460℃ 以下が好ましくは 330℃ 以下であるのが良い。成膜温度が 460℃ 以上では、酸化チタン膜 104 成膜時にルチル型の酸化チタンが混在する場合があるからである。また、成膜温度が 330℃ 以上では、成膜時にアナターゼ型であっても、その後の 850℃ 程度の熱処理によりアナターゼ型酸化チタンがルチル型に相転移する場合があるからである。アナターゼ型酸化チタン膜 104 の表面に、膜厚約 200 nm の N^+ 型の多結晶シリコン膜 105 を CVD 法等により形成する。

【0038】

次に、図 8 に示すように、フォトリソ膜をマスクに用いて、多結晶シリコン膜 105、アナターゼ型酸化チタン膜 104 をエッチングする。これにより MOS トランジスタのゲート絶縁膜 104a とゲート電極 105a とを形成する。次に、熱酸化法あるいは CVD 法により膜厚 2 nm 程の酸化シリコン膜 96 を形成する。リンのイオン注入により MOS トランジスタの N^- 型ソース・ドレイン領域 107 を形成する。 N^- 型ソース・ドレイン領域 107 は、ゲート電極、ゲート絶縁膜に対して自己整合的である。酸化シリコン膜 96 を形成する目的は、このリンイオン注入によるシリコン基板へのダメージを和らげるためである。

【0039】

次に、図 9 に示すように、半導体基板表面に、厚さ 200 nm のシリコン窒化膜 106 をスパッタ法または CVD 法により堆積する。

【0040】

さらに、図 10 に示すように、シリコン窒化膜 106、酸化シリコン膜 96 をエッチングすることにより、ゲート電極とゲート絶縁膜の側壁にサイドウォール 106a を形成する。

【0041】

最後に、図 11 に示すように、素子分離膜 102、ゲート電極 105a、サイドウォール 106a をマスクとし、砒素のイオン注入により、 N^+ 型ソース・ドレイン拡散層 108 を形成する。さらに、半導体基板表面に厚さ 200 nm のシリコン窒化膜 20 を、CVD 法により堆積する。CVD 法で形成された窒化シリ

コン膜は、引張り応力となる。この引張り応力により、シリコン基板のチャンネル部 1 0 と、ゲート絶縁膜 1 0 4 a も引っ張られ、引張りひずみ状態となる。そして、CVD法により、層間絶縁膜 1 0 9 を形成し、拡散層表面に達するコンタクトホール 1 1 0 を形成することにより、図 1 に示した本実施形態による半導体装置の主要部分が形成される。

【 0 0 4 2 】

なお、上述した製造方法は、NチャネルMOSトランジスタの場合であるが、この製造方法はPチャネルMOSトランジスタにも応用できる。さらにCMOSトランジスタ、BiCMOSトランジスタにも応用できる。

【 0 0 4 3 】

また、ゲート電極 1 0 5 a としては、多結晶シリコン膜以外に、タングステン、モリブデン等の金属薄膜や、窒化タングステン、ホウ化タングステン等の金属化合物、あるいはタングステンシリサイド等の金属シリサイド膜、あるいは酸化ルテニウム膜、あるいはこれらの積層構造であってもよいものである。これらの材料を用いることにより、ゲート電極の低抵抗化が可能となる。また、酸化ルテニウム膜と酸化チタンゲート絶縁膜が接する構造では、酸化チタンゲート絶縁膜の熱的安定性向上が望める。

【 0 0 4 4 】

なお、上述したように、アナターゼ型酸化チタンは、ルチル型に比べて熱的に不安定であるため、成膜後のアニール処理等によりアナターゼ型からルチル型に

膜の主結晶構造をアナターゼ型とする点に特徴を有しており、例えば、数%乃至十%程度のルチル型を含むとしても、本実施形態による効果をさほど損なうものでないものであり、本実施形態の範疇のものである。

【 0 0 4 5 】

以上説明したように、本実施形態による半導体装置は、シリコン基板のチャンネル領域が引張りひずみ状態となっているため、キャリアである電子の有効質量が小さくなり、半導体装置が高速化される。

【 0 0 4 6 】

また、本実施形態では、酸化チタンゲート絶縁膜の主結晶構造がアナターゼ型を用いており、ゲート絶縁膜のバンドギャップがルチル型よりも大きくすることができる。また、引張りひずみがゲート絶縁膜に加わっても、アナターゼ型のバンドギャップの方が、ルチル型のバンドギャップよりも大きくすることができる。従って、引張りひずみによるトンネル電流の増大を抑制して、消費電力を少なくすることができる。

【 0 0 4 7 】

従って、半導体装置の信頼性を向上することができる。また、その結果、歩留りを向上することができる。

【 0 0 4 8 】

次に、図 1 2 を用いて、本発明の第 2 の実施形態による半導体装置の構成について説明する。

図 1 2 は、本発明の第 2 の実施形態による半導体装置の主要部分の構成を示す断面図である。なお、図 1 と同一符号は、同一部分を示している。

【 0 0 4 9 】

本実施形態においては、図示するように、シリコン基板 1 0 1 と酸化チタンゲート絶縁膜 1 0 4 a との間に、例えば、酸化シリコンまたは窒化シリコンまたは酸化窒化シリコン等の絶縁膜、またはチタンシリケート膜 1 1 1 を、一層またはそれ以上の層数で形成している。ただし、絶縁膜 1 1 1 の膜厚は、ゲート絶縁膜の高誘電特性を得るために 0.5 nm 以下が好ましいものである。シリコン基板上に酸化チタンゲート絶縁膜を形成する際に、酸化チタンゲート絶縁膜の熱的安定性を向上することができる。

【 0 0 5 0 】

本実施形態においても、半導体装置が高速化でき、また、消費電力を少なくすることができる。従って、半導体装置の信頼性を向上することができる。また、その結果、歩留りを向上することができる。

【 0 0 5 1 】

次に、図 1 3 を用いて、本発明の第 3 の実施形態による半導体装置の構成について説明する。

図 1 3 は、本発明の第 3 の実施形態による半導体装置の主要部分の構成を示す断面図である。なお、図 1 と同一符号は、同一部分を示している。

【0052】

本実施形態においては、図示するように、ゲート電極を、膜 1 0 5 a と膜 1 1 2 のように構成し、二層またはそれ以上の層数で形成している。膜 1 1 2 としては、シリサイドや、膜 1 0 5 a と同じものや、アルミニウム (A 1) やタンゲステン (W) と用いることができる。

【0053】

本実施形態においても、半導体装置が高速化でき、また、消費電力を少なくすることができる。従って、半導体装置の信頼性を向上することができる。また、その結果、歩留りを向上することができる。

【0054】

【発明の効果】

本発明によれば、高速で低電力な半導体装置を得ることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態による半導体装置の主要部分の断面構成を示す断面図である。

【図 2】

る。

【図 3】

酸化チタンのバンドギャップの引張りひずみ依存性の説明図である。

【図 4】

酸化チタンの仕事関数の引張りひずみ依存性の説明図である。

【図 5】

酸化チタンの仕事関数のリーク電流密度の引張りひずみ依存性の説明図である。

【図 6】

本発明の第 1 の実施形態による半導体装置の製造方法を示す工程図である。

【図 7】

本発明の第 1 の実施形態による半導体装置の製造方法を示す工程図である。

【図 8】

本発明の第 1 の実施形態による半導体装置の製造方法を示す工程図である。

【図 9】

本発明の第 1 の実施形態による半導体装置の製造方法を示す工程図である。

【図 1 0】

本発明の第 1 の実施形態による半導体装置の製造方法を示す工程図である。

【図 1 1】

本発明の第 1 の実施形態による半導体装置の製造方法を示す工程図である。

【図 1 2】

本発明の第 2 の実施形態による半導体装置の主要部分の断面構成を示す断面図である。

【図 1 3】

本発明の第 3 の実施形態による半導体装置の主要部分の断面構成を示す断面図である。

【符号の説明】

1 0 2 …素子分離膜

1 0 3 …素子形成領域

1 0 4 …引張りひずみ状態にあるアナターゼ型酸化チタン膜

1 0 4 a …引張りひずみ状態にあるアナターゼ型酸化チタンゲート絶縁膜

1 0 5 …多結晶シリコン膜

1 0 5 a, 1 1 2 …ゲート電極

1 0 6 …シリコン窒化膜

1 0 6 a …サイドウォール

107, 107a...N⁻型ソース・ドレイン拡散層

108, 108a...N⁺型ソース・ドレイン拡散層

109...層間絶縁膜

110...コンタクトホール

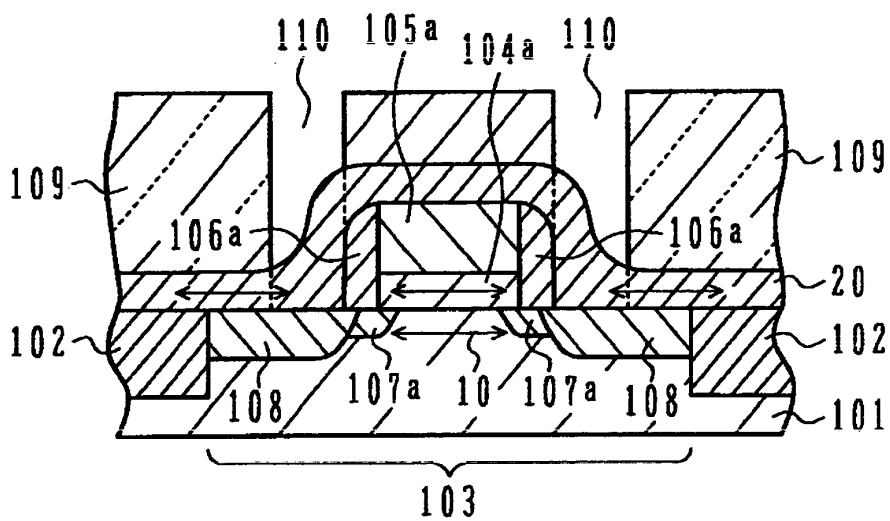
111...絶縁膜

96...酸化シリコン膜

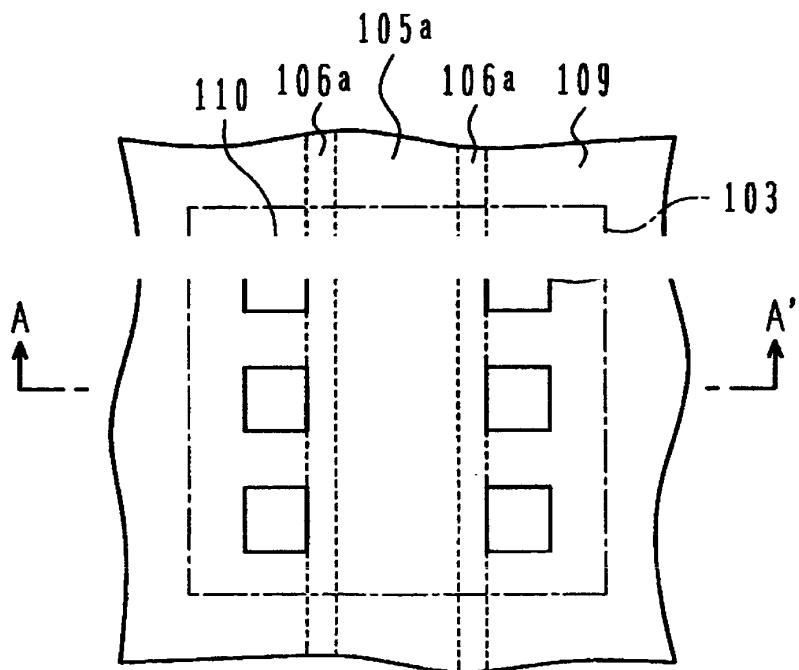
【書類名】

図面

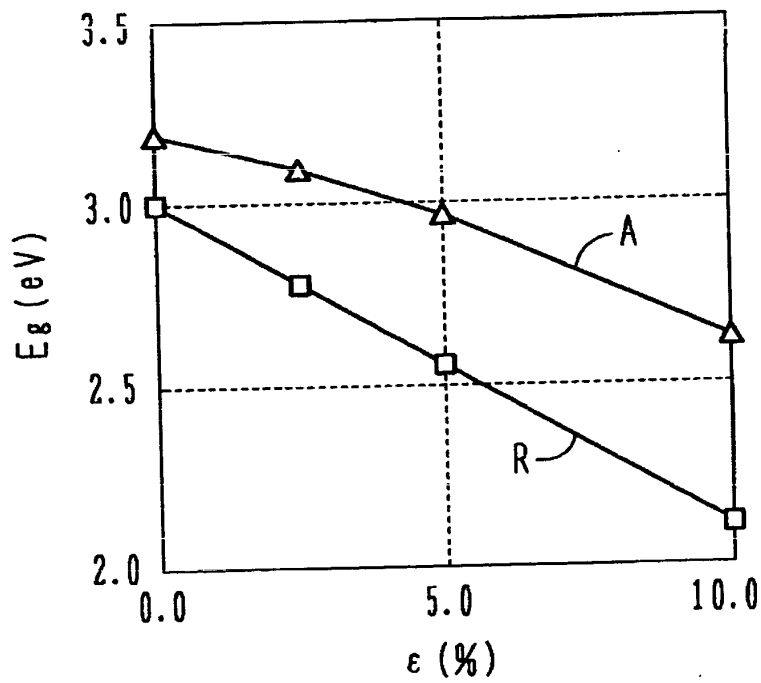
【図1】



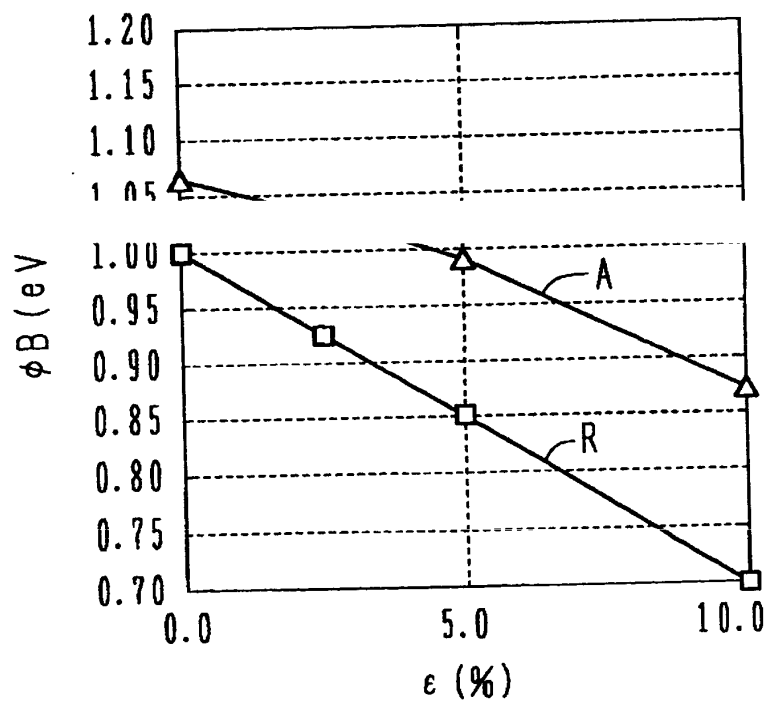
【図2】



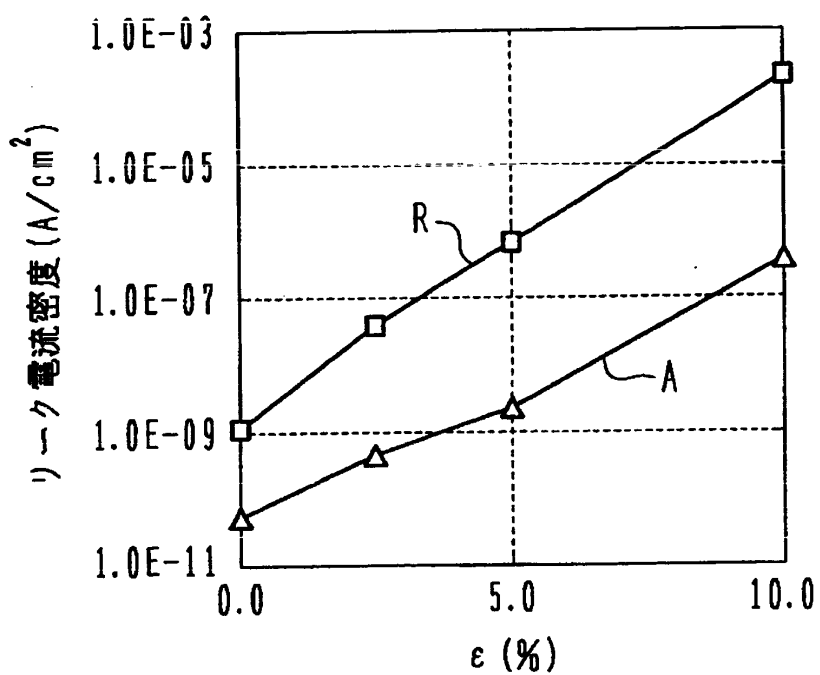
【図3】



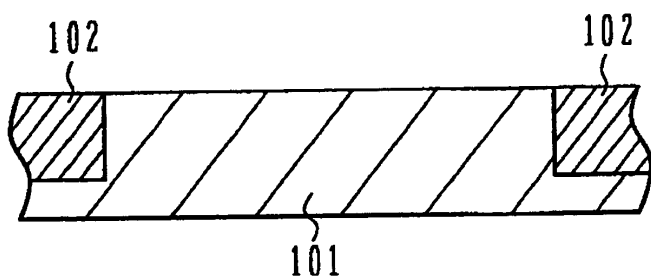
【図4】



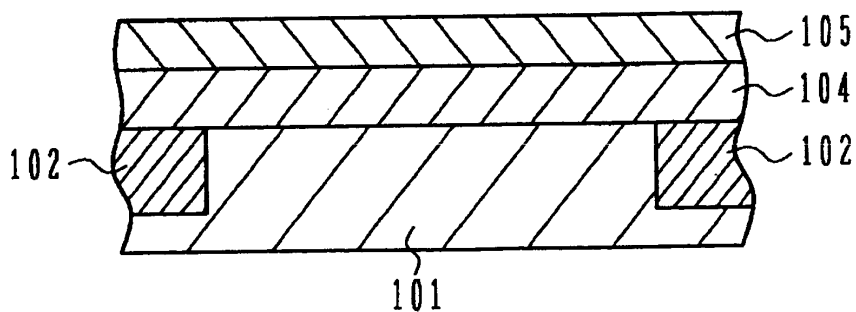
【図5】



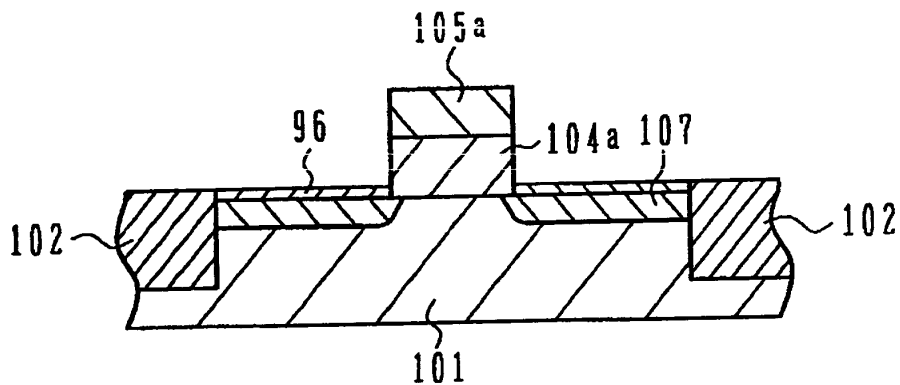
【図6】



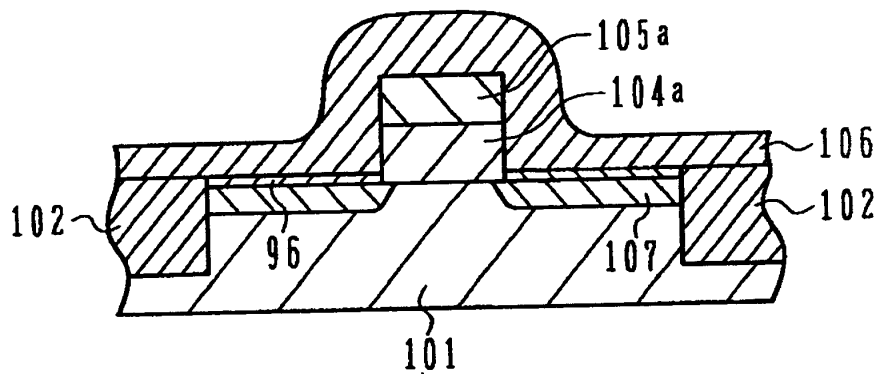
【図7】



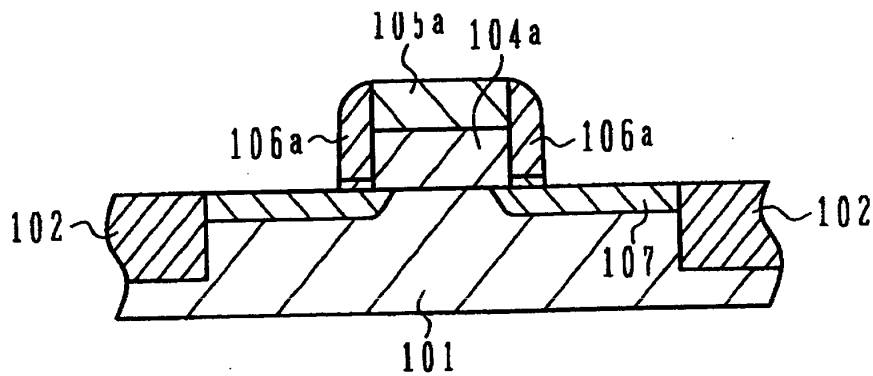
【図8】



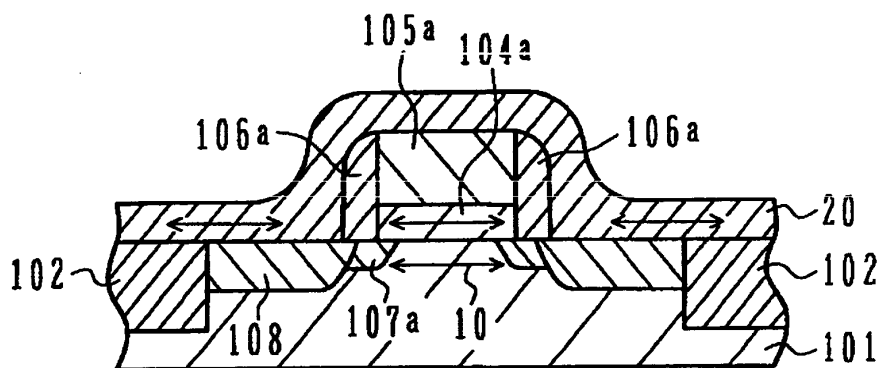
【図9】



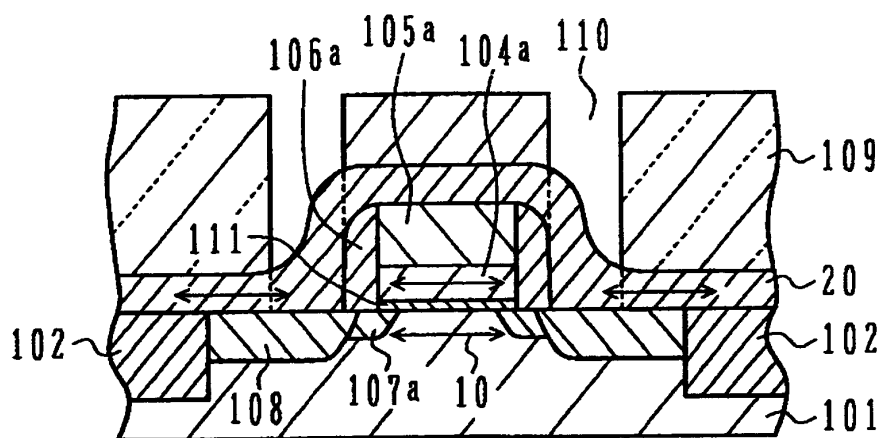
【図10】



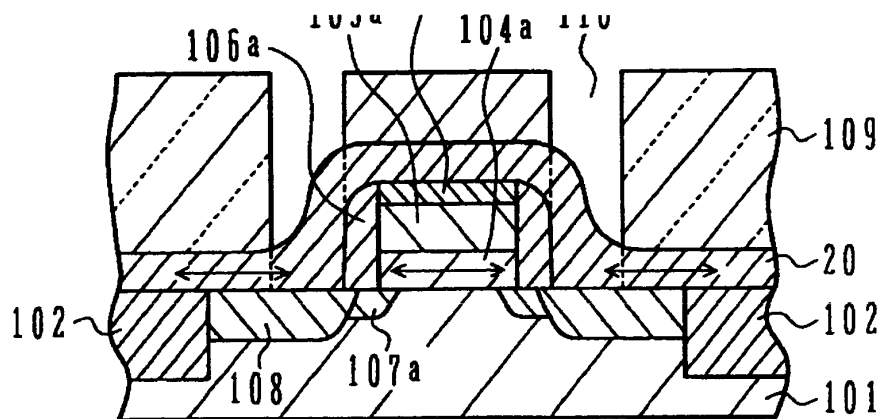
【図11】



【図12】



【図13】



【書類名】 要約書

【要約】

【課題】

高速で低電力な半導体装置を提供することにある。

【解決手段】

MOSトランジスタは、半導体基板101とゲート電極105aとの間に介在する酸化チタンゲート絶縁膜104aを有している。酸化チタンの主結晶構造はアナターゼ型である。半導体基板のチャンネル領域は、膜20によって引張ひずみ状態となっている。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2001 008306
受付番号	50100053596
書類名	特許願
担当官	第五担当上席 0094
作成日	平成13年 1月17日

<認定情報・付加情報>

【提出日】	平成13年 1月16日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所